

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270555

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.^{*}
H 01 L 21/768
21/316
27/108
21/8242

識別記号

F I
H 01 L 21/90
21/316
27/10
6 2 1 Z

C
M

審査請求 未請求 請求項の数28 OL (全15頁)

(21)出願番号 特願平9-76200
(22)出願日 平成9年(1997)3月27日

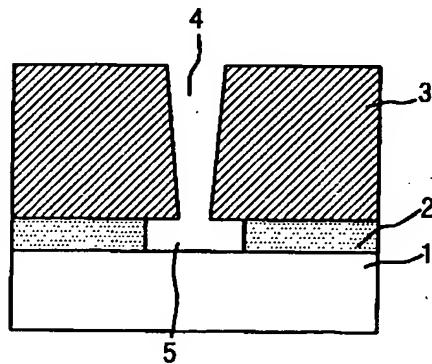
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 桑森 貴尚
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 半導体装置で高アスペクト比のコンタクトホールを確実に形成する。

【解決手段】 半導体基板1の上に、基板に隣接する部分では不純物濃度が高くてエッチングレートが高い層間絶縁膜(SiO₂)2を、基板から離れた部分では不純物濃度が低くてエッチングレートが低い層間絶縁膜3を形成し、これら両層間絶縁膜を貫くコンタクトホール4を異方性エッチングで開孔し、続いて等方性エッチングでコンタクトホールの下部5を拡大して、コンタクトを形成する。



1

【特許請求の範囲】

【請求項1】 半導体下地層と、この半導体下地層の上に形成されエッティングレートの異なる複数の層から構成された層間絶縁膜と、この層間絶縁膜に設けられた開孔に形成され上記半導体下地層に至るコンタクトとを備え、上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した部分で径方向に拡大されていることを特徴とする半導体装置。

【請求項2】 上記層間絶縁膜の中で上記半導体下地層から所定の距離はなれ相対的にエッティングレートが低い層の中に上記半導体下地層と並行に導電部を備え、上記コンタクトが上記導電部に近接して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記導電部が複数形成され、上記コンタクトが相隣る導電部の間に形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分で、上記半導体下地層に近づくほど径方向に拡大されていることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】 上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分で、上記半導体下地層に近づくほど階段状に径方向に拡大されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分で、上記半導体下地層に近づくほど連続的に径方向に拡大されていることを特徴とする請求項4に記載の半導体装置。

【請求項7】 上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分が、他の部分よりも相対的にエッティングレートが高く形成されていることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 半導体下地層と、この半導体下地層に隣接して形成された下部の導電部と、上記下部の導電部を覆うように上記半導体下地層の上に形成された層間絶縁膜と、上記層間絶縁膜の中に上記半導体下地層から所定距離はなれて形成された上部の導電部と、上記上部の導電部及び下部の導電部に近接した上記層間絶縁膜の開孔に形成され上記半導体下地層に至るコンタクトとを備え、上記コンタクトが、上記層間絶縁膜のうち上記上部の導電部又は下部の導電部を含むそれらの部分の間で径方向に拡大されていることを特徴とする半導体装置。

【請求項9】 半導体下地層と、この半導体下地層の上に少なくとも側面がエッティング停止膜で覆われて上記半導体下地層に接して形成された複数の導電部と、上記複数の導電部の上記エッティング停止膜を覆うように上記半導体下地層の上に形成されエッティングレートの異なる複数の層から構成された層間絶縁膜と、上記複数の導電部の相隣るエッティング停止膜の間隙において上記層間絶縁膜に設けられた開孔に形成され上記半導体下地層に至るコンタクトとを備え、上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に至る部分で径方向に拡大されていることを特徴とする半導体装置。

2

膜に設けられた開孔に形成され相隣るエッティング停止膜の間隙を通って上記半導体下地層に至るコンタクトとを備え、上記層間絶縁膜のうち上記半導体下地層及び上記エッティング停止膜に隣接した部分が他の部分よりも相対的にエッティングレートが高く形成されていることを特徴とする半導体装置。

【請求項10】 上記複数の導電部がシリコン酸化膜で覆われた上にさらに上記エッティング停止膜で覆われていることを特徴とする請求項9に記載の半導体装置。

【請求項11】 上記半導体下地層及び上記複数の導電部がシリコン酸化膜で覆われた上にさらに上記エッティング停止膜で覆われていることを特徴とする請求項9に記載の半導体装置。

【請求項12】 上記コンタクトが、上記相隣る導電部の間隙で上記導電部を覆う上記エッティング停止膜まで径方向に拡大されていることを特徴とする請求項9ないし11のいずれかに記載の半導体装置。

【請求項13】 上記コンタクトが、上記相隣る導電部の間隙で上記導電部を覆う上記シリコン酸化膜まで径方向に拡大されていることを特徴とする請求項10又は11に記載の半導体装置。

【請求項14】 半導体下地層の上に上記半導体下地層に隣接する部分ではエッティングレートが相対的に高く上記半導体下地層から離れた部分ではエッティングレートが相対的に低い層間絶縁膜を形成する工程と、上記層間絶縁膜を貫き上記層間絶縁膜の上記半導体下地層に隣接した部分で相対的に内径の拡大された開孔を形成する工程と、上記開孔に上記半導体下地層に至るコンタクトを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項15】 上記層間絶縁膜の上記半導体下地層から離れた部分の中に上記半導体下地層に平行に導電部を形成し、上記導電部に近接して上記開孔を形成することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 上記導電部を複数形成し、相隣る上記導電部の間に上記開孔を形成することを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 上記層間絶縁膜の上記半導体下地層に隣接する上記部分をエッティングレートが異なる複数の薄い層で形成することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項18】 上記半導体下地層に隣接する上記部分の複数の薄い層を、上記半導体下地層に隣接して相対的に最もエッティングレートが高く、上記半導体下地層から離れるに従って順次段階的にエッティングレートが低くなるように形成することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】 上記半導体下地層に隣接する上記部分を、上記半導体下地層に隣接して相対的に最もエッキン

50

グレートが高く上記半導体下地層から離れるに従ってエッティングレートが相対的に連続的に低くなるように形成することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項20】 半導体下地層に隣接して下部の導電部を形成する工程と、上記下部の導電部を覆うように上記半導体下地層の上に層間絶縁膜を形成する工程と、上記層間絶縁膜の中に上記半導体下地層から所定距離はなれて上部の導電部を形成する工程と、上記層間絶縁膜の中で上記上部の導電部及び下部の導電部に近接するとともに上記上部の導電部と下部の導電部との間で径方向に拡大され上記半導体下地層に至る開孔を形成する工程と、上記開孔にコンタクトを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項21】 上記層間絶縁膜を、上記上部の導電部又は下部の導電部を含むそれぞれの部分で相対的にエッティングレートが低く、上記上部の導電部と下部の導電部との間で相対的にエッティングレートが高くなるように形成することを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】 上記層間絶縁膜に開孔を形成する上記工程として、開孔を有するレジストを上記層間絶縁膜に施して上記レジストの開孔から異方性エッティングにより上記層間絶縁膜を開孔し、さらに等方性エッティングによりエッティングレートが高い部分で内径を拡大することを特徴とする請求項14ないし21のいずれかに記載の半導体装置の製造方法。

【請求項23】 半導体下地層の上に少なくとも側面がエッティング停止膜で覆われた複数の導電部を形成する工程と、上記半導体下地層の上に上記エッティング停止膜を覆うように、上記半導体下地層及び上記エッティング停止膜に隣接する部分ではエッティングレートが相対的に高く、上記半導体下地層及び上記エッティング停止膜から離れた部分ではエッティングレートが相対的に低い層間絶縁膜を形成する工程と、上記複数の導電部の相隣るエッティング停止膜の間隙において上記絶縁膜に開孔を形成する工程と、上記開孔に上記半導体下地層に至るコンタクトを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項24】 上記複数の導電部をシリコン酸化膜で覆った後に上記エッティング停止膜で覆うようにすることを特徴とする請求項23に記載の半導体装置の製造方法。

【請求項25】 上記半導体下地層及び上記複数の導電部をシリコン酸化膜で覆った後に上記エッティング停止膜で覆うようにすることを特徴とする請求項23に記載の半導体装置の製造方法。

【請求項26】 上記開孔において上記開孔に露出した上記層間絶縁膜の上記半導体下地層に隣接した上記部分を等方性エッティングにより除去する工程を含むことを特

徴とする請求項23ないし25のいずれかに記載の半導体装置の製造方法。

【請求項27】 上記開孔において上記開孔に露出した上記エッティング停止膜を等方性エッティングにより除去する工程を含むことを特徴とする請求項24又は25に記載の半導体装置の製造方法。

【請求項28】 上記開孔において上記開孔に露出した上記エッティング停止膜を等方性エッティングで除去し、さらにこの開孔に露出した上記シリコン酸化膜を異方性エッティングにより除去する工程を含むことを特徴とする請求項25に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は広く半導体装置及びその製造方法に関するものである。さらに、詳しくは、改善された層間コンタクトを有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】図20は、半導体DRAMのメモリセルの構造を示す平面図である。図に示されるように、DRAMのメモリセルは、まず半導体基板101の上にワード線（トランスマーケット）106aをおき、その上方にビット線106bを置いている。従ってビット線コンタクト112はワード線106aのすき間にデザインされ、上方からワード線106aの横を通り基板101に落とされる。

【0003】一方、スタッカ型セル（積み上げ型）のキャパシタ部は、ビット線106bの上方にあり、キャパシタ即ちストレージノード113のコンタクト114

30 を、活性領域115に対してワード線106aとビット線106bの格子のすき間にデザインし、上からビット線とワード線の横を通り基板101まで落とされる。

【0004】図21は、DRAMのコンタクト構造を示す図で、(a), (b), (c)はそれぞれ図20の平面図のA-A', B-B', C-C'線における断面を示している。図21において、基板101の上にワード線106aが配置され、また下部層間酸化膜103aと上部層間酸化膜103bの間に、ビット線106bが配置されている。

40 【0005】半導体における微細格子技術が進む中で、重ね合せや寸法のばらつきの制御が非常に難しくなってきている。重ね合せがずれれば、たとえば図21の破線で囲った梢円の部分の所で、ビット線コンタクト112あるいはストレージノードコンタクト113がワード線106aやビット線106bと短絡してしまうことになる。このため、コンタクトの孔径を小さくするか、あるいはコンタクトが配線上にかかっても配線とは短絡しないセルフアラインコンタクト技術が必要となってきた。

【0006】図22は、窒化膜を使用したセルフアラインコンタクト技術の例を示す。窒化膜を使ったセルフア

ラインコンタクト技術には、図22(a)に示されるような、層間酸化膜107と103の間に1枚のシリコン塗化膜(SiN膜)108を挟むブランケットSiN方式、図22(b)に示されるような、ワード線106aの側壁をシリコン塗化膜108で覆うSiNサイドウォール方式、図22(c)に示されるような、ワード線106aの上部及び側壁をシリコン塗化膜108で覆うSiNカバー配線方式がある。いずれも下地配線であるワード線(トランスマスター)106aをエッチング停止膜であるSiN膜108で覆うものである。ブランケットSiN方式では、シリコン塗化膜のコンタクトエッティングを一旦SiN膜108で止めた後、SiN膜108と下敷き酸化膜をエッティングして基板101とのコンタクトをとるものである。SiNサイドウォール方式やSiNカバー配線方式では、側壁のSiN膜108を削らないように酸化膜エッティングを行って基板101とのコンタクトをとるものである。

【0007】

【発明が解決しようとする課題】以上のようなDRAMのコンタクトでは、横方向の微細化は進みコンタクトの孔のデザイン径はどんどん小さくなる傾向にあるが、縦方向の膜厚は配線間の寄生容量を増加させないようにほとんど薄膜化はされない。この結果、コンタクト孔径に対するコンタクト深さの比であるアスペクト比の値が大きくなる。アスペクト比の大きい微細コンタクトでは、ホールの底部でエッティング速度が落ちるRIE-Lagが起こる(例えば、J.Vac.Sci.Tech.B10(5),1994参照)。

【0008】図23は、高アスペクト比のコンタクトホール形成の問題を説明するためのコンタクトホールの断面を示す図である。図23(a)は、レジスト110の開孔から層間酸化膜103を開孔するとき、高アスペクト比のコンタクトホールの底部でエッティングストップが起きた例を示している。このエッティングストップを回避するために、エッティング時に等方性エッティングの成分を強くする方法があるが、このようにすれば、図23(b)に示すように横方向のエッティングがすすみ、層間酸化膜103の中のピット線などの配線106bと短絡してしまう恐れがある。

【0009】図24は、図22(a)に示したブランケットSiN方式の配線の間にセルフアライン方式のコンタクトをとる場合の問題を説明するための断面を示す図である。図24(a)は、SiN膜108の間隙に形成した開孔がエッティングストップを起こした状態を示している。また、図24(b)は、開孔形成の重ね合わせがされたときの、開孔底部での高アスペクト比の出現の状態を示している。

【0010】特にシリコン塗化膜をストッパーとするセルフアライン方式は、RIE-Lagの起きやすい深いコンタクトホールの底に、更にエッティングされにくい塗

化膜を置く構造となり、特に塗化膜で狭められた底の部分は、局的にアスペクト比が大きくなりエッティングストップしやすい。また、重ね合せがずれたとき、孔底の部分はますます底細りするため、エッティングストップによる層間膜の残りが出やすい。従って、コンタクト開孔不良により、ノーコンタクトになる不良あるいはコンタクト抵抗増大などの不具合が生じていた。なお、コンタクトホールに段差部を生じないように層間のシリコン塗化膜を形成する方法については、例えば公開特許公報、平1-274419号などに開示されているが、高アスペクト比のコンタクトホールの形成としては、十分でなかった。

【0011】本発明はこのような従来のコンタクト開孔不良という問題点を解消するためになされたものであり、高アスペクト比のコンタクトを確実に開孔し、コンタクト底面の接触面積を広げた、改善されたコンタクトを有する半導体装置とその製造方法を提供しようとするものである。

【0012】

【課題を解決するための手段】この発明の半導体装置は、半導体下地層と、この半導体下地層の上に形成されエッティングレートの異なる複数の層から構成された層間絶縁膜と、この層間絶縁膜に設けられた開孔に形成され上記半導体下地層に至るコンタクトとを備え、上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した部分で径方向に拡大されていることを特徴とするものである。

【0013】また、この発明の半導体装置は、上記層間絶縁膜の中で上記半導体下地層から所定の距離はなれ相対的にエッティングレートが低い層の中に上記半導体下地層と並行に導電部を備え、上記コンタクトが上記導電部に近接して形成されていることを特徴とするものである。

【0014】また、この発明の半導体装置は、上記導電部が複数形成され、上記コンタクトが相隣する導電部の間に形成されていることを特徴とするものである。また、この発明の半導体装置は、上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分で、上記半導体下地層に近づくほど径方向に拡大されていることを特徴とするものである。

【0015】また、この発明の半導体装置は、上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分で、上記半導体下地層に近づくほど階段状に径方向に拡大されていることを特徴とするものである。また、この発明の半導体装置は、上記コンタクトが、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分で、上記半導体下地層に近づくほど連続的に径方向に拡大されていることを特徴とするものである。また、この発明の半導体装置は、上記層間絶縁膜のうち上記半導体下地層に隣接した上記部分が、他の部分よりも

相対的にエッティングレートが高く形成されていることを特徴とするものである。

【0016】また、この発明の半導体装置は、半導体下地層と、この半導体下地層に隣接して形成された下部導電部と、上記下部導電部を覆うように上記半導体下地層の上に形成された層間絶縁膜と、上記層間絶縁膜の中に上記半導体下地層から所定距離はなれて形成された上部導電部と、上記上部導電部及び下部導電部に近接した上記絶縁膜の開孔に形成され上記半導体下地層に至るコンタクトとを備え、上記コンタクトが、上記層間絶縁膜のうち上記上部導電部又は下部導電部を含むそれぞれの部分の間に径方向に拡大されていることを特徴とするものである。

【0017】また、この発明の半導体装置は、半導体下地層と、この半導体下地層の上に少なくとも側面がエッティング停止膜で覆われて上記半導体下地層に接して形成された複数の導電部と、上記複数の導電部の上記エッティング停止膜を覆うように上記半導体下地層の上に形成されエッティングレートの異なる複数の層から構成された層間絶縁膜と、上記複数の導電部の相隣るエッティング停止膜の間隙において上記絶縁膜に設けられた開孔に形成され相隣るエッティング停止膜の間隙を通って上記半導体下地層に至るコンタクトとを備え、上記層間絶縁膜のうち上記半導体下地層及び上記エッティング停止膜に隣接した部分が他の部分よりも相対的にエッティングレートが高く形成されていることを特徴とするものである。

【0018】また、この発明の半導体装置は、上記複数の導電部がシリコン酸化膜で覆われた上にさらに上記エッティング停止膜で覆われていることを特徴とするものである。また、この発明の半導体装置は、上記半導体下地層及び上記複数の導電部がシリコン酸化膜で覆われた上にさらに上記エッティング停止膜で覆われていることを特徴とするものである。

【0019】また、この発明の半導体装置は、上記コンタクトが、上記相隣る導電部の間隙で上記導電部を覆う上記エッティング停止膜まで径方向に拡大されていることを特徴とするものである。また、この発明の半導体装置は、上記コンタクトが、上記相隣る導電部の間隙で上記導電部を覆う上記シリコン酸化膜まで径方向に拡大されていることを特徴とするものである。

【0020】次に、この発明の半導体装置の製造方法は、半導体下地層の上に上記半導体下地層に隣接する部分ではエッティングレートが相対的に高く上記半導体下地層から離れた部分ではエッティングレートが相対的に低い層間絶縁膜を形成する工程と、上記層間絶縁膜を貫き上記層間絶縁膜の上記半導体下地層に隣接した部分で相対的に内径の拡大された開孔を形成する工程と、上記開孔に上記半導体下地層に至るコンタクトを形成する工程とを含むことを特徴とするものである。

【0021】また、この発明の半導体装置の製造方法

は、上記層間絶縁膜の上記半導体下地層から離れた部分の中に上記半導体下地層に平行に導電部を形成し、上記導電部に近接して上記開孔を形成することを特徴とするものである。また、この発明の半導体装置の製造方法は、上記導電部を複数形成し、相隣る上記導電部の間に上記開孔を形成することを特徴とするものである。

【0022】また、この発明の半導体装置の製造方法は、上記層間絶縁膜の上記半導体下地層に隣接する上記部分をエッティングレートが異なる複数の薄い層で形成することを特徴とするものである。また、この発明の半導体装置の製造方法は、上記半導体下地層に隣接する上記部分の複数の薄い層を、上記半導体下地層に隣接して相対的に最もエッティングレートが高く、上記半導体下地層から離れるに従って順次段階的にエッティングレートが低くなるように形成することを特徴とするものである。また、この発明の半導体装置の製造方法は、上記半導体下地層に隣接する上記部分を、上記半導体下地層に隣接して相対的に最もエッティングレートが高く上記半導体下地層から離れるに従ってエッティングレートが相対的に連続的に低くなるように形成することを特徴とするものである。

【0023】また、この発明の半導体装置の製造方法は、半導体下地層に隣接して下部の導電部を形成する工程と、上記下部の導電部を覆うように上記半導体下地層の上に層間絶縁膜を形成する工程と、上記層間絶縁膜の中に上記半導体下地層から所定距離はなれて上部の導電部を形成する工程と、上記層間絶縁膜の中で上記上部の導電部及び下部の導電部に近接するとともに上記上部の導電部と下部の導電部との間に径方向に拡大され上記半導体下地層に至る開孔を形成する工程と、上記開孔にコンタクトを形成する工程とを含むことを特徴とするものである。

【0024】また、この発明の半導体装置の製造方法は、上記層間絶縁膜を、上記上部の導電部又は下部の導電部を含むそれぞれの部分で相対的にエッティングレートが低く、上記上部の導電部と下部の導電部との間に相対的にエッティングレートが高くなるように形成することを特徴とするものである。また、この発明の半導体装置の製造方法は、上記層間絶縁膜に開孔を形成する上記工程として、開孔を有するレジストを上記層間絶縁膜に施して上記レジストの開孔から異方性エッティングにより上記層間絶縁膜を開孔し、さらに等方性エッティングによりエッティングレートが高い部分で内径を拡大することを特徴とするものである。

【0025】また、この発明の半導体装置の製造方法は、半導体下地層の上に少なくとも側面がエッティング停止膜で覆われた複数の導電部を形成する工程と、上記半導体下地層の上に上記エッティング停止膜を覆うように、上記半導体下地層及び上記エッティング停止膜に隣接する部分ではエッティングレートが相対的に高く上記半導体下

地層及び上記エッティング停止膜から離れた部分ではエッティングレートが相対的に低い層間絶縁膜を形成する工程と、上記複数の導電部の相隣るエッティング停止膜の間隙において上記絶縁膜に開孔を形成する工程と、上記開孔に上記半導体下地層に至るコンタクトを形成する工程とを含むことを特徴とするものである。

【0026】また、この発明の半導体装置の製造方法は、上記複数の導電部をシリコン酸化膜で覆った後に上記エッティング停止膜で覆うようにすることを特徴とするものである。また、この発明の半導体装置の製造方法は、上記半導体下地層及び上記複数の導電部をシリコン酸化膜で覆った後に上記エッティング停止膜で覆うようにすることを特徴とするものである。

【0027】また、この発明の半導体装置の製造方法は、上記開孔において上記開孔に露出した上記層間絶縁膜の上記半導体下地層に隣接した上記部分を等方性エッティングにより除去する工程を含むことを特徴とするものである。また、この発明の半導体装置の製造方法は、上記開孔において上記開孔に露出した上記エッティング停止膜を等方性エッティングにより除去する工程を含むことを特徴とするものである。また、この発明の半導体装置の製造方法は、上記開孔において上記開孔に露出した上記エッティング停止膜を等方性エッティングで除去し、さらにこの開孔に露出した上記シリコン酸化膜を異方性エッティングにより除去する工程を含むことを特徴とするものである。

【0028】

【発明の実施の形態】以下に、図面を参照して、この発明の実施の形態について説明する。なお、図中、同一の符号は同一または相当の部分を示す。

実施の形態1. 図1は、この発明の実施の形態1の半導体装置の構造を示す断面図である。図1において、1は半導体下地層としてのシリコン半導体基板、2はホウ素(B、以下適宜Bと表す)やリン(P、以下適宜Pと表す)等の不純物濃度が相対的に高い所定の濃度にドープされたシリコン酸化膜、3はBやPの不純物濃度が相対的に低い別の所定の濃度にドープされたシリコン酸化膜である。酸化膜3の濃度は、酸化膜2の濃度より低くし、あるいは全く不純物がドープされていない。酸化膜2及び3により、層間絶縁膜を構成している。言い換えれば、酸化膜2又は3は、層間絶縁膜の部分層を構成している。

【0029】4は酸化膜2、3に形成された開孔(コンタクトホール)、5は開孔4の下部であり、酸化膜2の部分の開孔である。開孔5は、開孔4の酸化膜3に形成された部分より径方向あるいは水平方向に拡大されて形成されている。この開孔4に導電部材を埋めてコンタクトが形成される。なお、以下では、簡略のため図面中に、コンタクト(導電部材)を図示していないが、開孔(コンタクトホール)4に、コンタクトが形成される、

または形成されていることを前提とする。

【0030】不純物濃度の相対的に高い下層の酸化膜2は、エッティングレートが高いので、下層であっても開孔4が下すばみにならず、十分にエッチされて形成されるうえ、さらに、追加工エッティングにより、開孔5が横方向に広げられ、逆T字型の開孔形状に形成されている。すなわち、この実施の形態では、ホールを開孔する層間膜の底部にエッティングレートの早い膜を敷く構造をとり、高アスペクト比のコンタクトを確実に開孔したうえ、さらに開孔の底部を拡大する構造としている。従って、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。なお、この実施の形態で説明したような、オーバーハングをした形状の開孔(コンタクトホール)4、すなわち下部5が拡大された開孔4にも、段切れをすることなくコンタクトを形成することができる。その方法については、後に説明する。

【0031】実施の形態2. 図2は、この発明の実施の形態2の半導体装置の構造を示す断面図である。図2において、1はシリコン半導体基板、2aはBやPの不純物濃度が相対的に最も高い所定の濃度にドープされたシリコン酸化膜、2bはBやPの不純物濃度が相対的に高い別の所定の濃度にドープされたシリコン酸化膜、2cはBやPの不純物濃度が相対的に次に高い別の所定の濃度にドープされたシリコン酸化膜である。すなわち、酸化膜2a、2b、2cの濃度は、酸化膜2aが最も高く、酸化膜2bが2番目に高く、酸化膜2cが3番目に高く設定されている。なお、このような厚さの薄い酸化膜2a、2b及び2cの多層構造で、下層の酸化膜2を構成している。

【0032】次に、3はBやPの不純物濃度が相対的に低い別の所定の濃度にドープされたシリコン酸化膜である。酸化膜3の濃度は、酸化膜2cの濃度より低くし、あるいは全く不純物がドープされていない。酸化膜2及び3により、層間絶縁膜を構成している。4は酸化膜2、3に形成された開孔、5は開孔4の下部を示し、酸化膜2の部分に形成された開孔である。開孔5は、酸化膜3に形成された開孔部分より径方向あるいは水平方向に拡大されて形成されている。さらに、開孔5は、基板1に近づくほど径方向に階段状に拡大され、八の字状の形状に形成されている。不純物濃度の相対的に高い多層構造の下層の酸化膜2は、エッティングレートが高いので、下層であっても開孔4が下すばみにならず、十分にエッチされるうえ、さらに、追加工エッティングにより、下層の酸化膜2の多層構造のうち、基板1に近い薄い層ほど開孔5が横方向に広げられ、八の字型の開孔形状になっている。

【0033】すなわち、この実施の形態では、ホールを開孔する層間膜の底部に敷く酸化膜2として、BやPの濃度の高い膜から低い膜へと順次積み上げる多層構造と

11

し、上方の厚い酸化膜3としては、下部の酸化膜2より更に濃度の低い膜か、もしくはノンドープのシリコン酸化膜を積む構造としている。このようにすることにより、高アスペクト比のコンタクトを確実に開孔し、かつ開孔の底部を拡大した構造としている。このため、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。

【0034】実施の形態3. 図3は、この発明の実施の形態3の半導体装置の構造を示す断面図である。図3において、1はシリコン半導体基板、2はBやP等の不純物濃度が相対的に高いシリコン酸化膜であり、その濃度分布は基板1に接した側が最も高く、基板1から離れるに従って連続的に低くされている。

【0035】次に、3はBやPの不純物濃度が相対的に低いシリコン酸化膜である。酸化膜3の濃度は、酸化膜2cの濃度の低い部分よりさらに濃度を低くし、あるいは全く不純物がドープされていない。酸化膜2及び3により、層間絶縁膜を構成している。4は酸化膜2、3に形成された開孔、5は開孔4の下部を示し、酸化膜2の部分に形成された開孔である。開孔5は、酸化膜3に形成された開孔部分より径方向あるいは水平方向に拡大されて形成されている。さらに、開孔5は、基板1に近づくほど径方向に連続的に拡大され、なめらかな八の字状の形状に形成されている。不純物濃度の相対的に高い多層構造の下層の酸化膜2は、エッティングレートが高いので、下層であっても開孔4が下すばみにならず、十分にエッチされるうえ、さらに、追加工エッティングにより、下層の酸化膜2が、基板1に近い側ほど開孔5が横方向に広げられ、八の字型の開孔形状に形成されている。

【0036】すなわち、この実施の形態では、ホールを開孔する層間膜の底部に敷く酸化膜2として、高い不純物濃度から連続的に濃度が下がるように形成し、上方の厚い酸化膜3としては、下部の酸化膜2より更に濃度の低い膜か、もしくはノンドープのシリコン酸化膜を積む構造としている。このようにすることにより、高アスペクト比のコンタクトを確実に開孔し、かつ開孔の底部を拡大した構造としている。このため、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。

【0037】実施の形態4. 図4は、この発明の実施の形態4の半導体装置の構造を示す断面図である。図4において、6aは上部の酸化膜3の中に形成され底面が下部の酸化膜2に隣接している導電部あるいは配線である。このように配線6aは層間絶縁膜の中に位置している。他の構成部分は図1と同様であるから、説明は省略する。

【0038】この実施の形態では、層間絶縁膜の中に配線6aが配置され、この配線の間にホールを開孔し、ホールを開孔する層間絶縁膜の底部にエッティングレートの

12

早い酸化膜2を敷く構造をとり、高アスペクト比のコンタクトを確実に開孔し、かつ開孔の底部を拡大する構造としている。従って、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。また、層間の途中に位置する配線6aを、エッティングレートの小さい上層の酸化膜3の中に位置させているので、配線6aとコンタクトとが接触する可能性を減らすことができる。

【0039】実施の形態5. 図5は、この発明の実施の形態5の半導体装置の構造を示す断面図である。図5において、3aは下層のシリコン酸化膜2の上に形成されたシリコン酸化膜、6aは酸化膜3aの上に形成された導電部あるいは配線、3bは酸化膜3aの上に配線6aを覆うように形成されたシリコン酸化膜である。酸化膜3aと3bとは、通常同じ不純物濃度の膜とする。酸化膜3aと3bとで、酸化膜3を構成している。配線6aは、酸化膜3の中に埋め込まれた形になる。その他の構成部分は図4と同様であるから、説明は省略する。

【0040】この実施の形態では、層間の途中に位置する配線6aを、エッティングレートの小さい上層の酸化膜3の中に包み込んでいるので、配線6aとコンタクトとの短絡を防止できる。その他の効果は、実施の形態4(図4)と同様であるから、重複を避けるため説明を省略する。

【0041】実施の形態6. 図6は、この発明の実施の形態6の半導体装置の構造を示す断面図である。図6において、2は多層の酸化膜2a、2b、2cからなる下層の酸化膜であり、この部分は実施の形態2(図2)と同様であるから、説明を省略する。その他の構成部分は実施の形態5(図5)と同様であるから、説明は省略する。

【0042】このような構造において、層間の途中に位置する配線6aを、エッティングレートの小さい上層の酸化膜3の中に包み込んでいるので、実施の形態5と同様に、配線6aとコンタクトとの短絡を防止できる。また、開孔の底部を断面が階段状で八の字状になるよう拡大した構造にすることにより、実施の形態2と同様に、コンタクトの抵抗を低減することができる。重複と避けるため詳しい説明は省略する。

【0043】実施の形態7. 図7は、この発明の実施の形態7の半導体装置の構造を示す断面図である。図7において、6bは半導体基板1の上に形成された下部の導電部あるいは配線である。2は多層の酸化膜2a、2b、2cからなる下層の酸化膜であり、半導体基板1の上に配線6bを覆うように形成されている。酸化膜2を構成する多層膜のうち、酸化膜2cはBやPの不純物濃度が相対的に最も高くドープされ、酸化膜2bはその次に高い濃度にドープされ、酸化膜2aはさらに低い濃度にドープされている。すなわち、酸化膜2a、2b、2cの濃度は、酸化膜2cが最も高く、酸化膜2bが2番

13

目に高く、酸化膜2aが3番目に高く設定されている。4は開孔、5は開孔4の下部であり、下部の酸化膜2の部分での開孔である。この開孔下部5は、下部配線6bを含む部分の層では、径方向に実質的に拡大されておらず、上部配線6aと下部配線6bとの間の部分で径方向に拡大されている。その他の構成部分は実施の形態6(図6)と同様であるから、説明は省略する。

【0044】この実施の形態では、上部の酸化膜3より下部の酸化膜2をエッティングレートの早い膜にする構造としたうえ、さらに下部の酸化膜2をエッティングレートの異なる多層膜にし、下部配線6bのある基板1の側へ近づくほどエッティングレートの小さな膜とする構造で、多層の酸化膜2を横方向にエッティングし、コンタクトの形状を上部配線6aの下部で拡大した逆八の字型の開孔形状にしている。基板1の直上の下部配線6bに対して、酸化膜2の下部はあまり横方向にエッティングされないため、配線6bとコンタクトとは短絡しない。また、コンタクトの断面積が、上部配線6aと下部配線6bとの間で大きくなる分だけ、コンタクトの抵抗は低くなる。

【0045】実施の形態8、図8は、この発明の実施の形態8の半導体装置の構造を示す断面図である。図8において、1はシリコン半導体基板、6cは半導体基板1の上に形成された下地の導電部あるいは配線、7は配線6cを覆うシリコン酸化膜、8は酸化膜7を覆うシリコン塗化膜(SiN膜)からなるエッティング停止膜(エッティングストッパー膜)、2はエッティング停止膜8の上に形成されたシリコン酸化膜、3は下部の酸化膜2の上に形成された上部のシリコン酸化膜である。シリコン酸化膜2と3で、層間絶縁膜を構成する。4はコンタクトホール、5はコンタクトホール4の下部である。

【0046】この構造は、配線6cの上方にSiNのエッティング停止膜8を置いたブランケット型のセルフアライインコンタクト方式の構造である。SiNのエッティング停止膜8の上にシリコン酸化膜2、3をおき、かつエッティング停止膜(SiN膜)8と接する部分の酸化膜2をエッティングレートの早い膜にして、相隣る配線6cのエッティング停止膜8の間隙にコンタクトホールを開孔した構造である。エッティング停止膜(SiN膜)8で狭められた開孔(コンタクトホール)4の底の部分にエッティングレートの高い酸化膜2があるため、局所的にアスペクト比が大きくなてもエッティングストップは起こらず、容易にエッティング停止膜(SiN膜)8の上までエッティングが進む。その後、エッティング停止膜(SiN膜)8を異方性エッティングにより開孔するが、このとき配線6cを覆う酸化膜7まではエッティングしないエッティング条件に設定し、配線6cとは短絡しないコンタクトを形成している。

【0047】このような構造にすれば、エッティング停止膜8の間の狭い間隙にコンタクトホールを形成する場合

14

でも、その間隙をエッティングレートの高い酸化膜2で埋めているので、狭い間隙でもエッティングストップは起こらずコンタクトホールが形成できる。つまり、高アスペクト比のコンタクトを確実に開孔している。この実施の形態の構造は、複数の下地の配線6cの周囲あるいは上方にそれぞれエッティング停止膜(SiN膜)8を形成し、エッティング停止膜(SiN膜)8の間隙あるいは四部にコンタクトを形成するときに特に効果がある。

【0048】実施の形態9、図9は、この発明の実施の形態9の半導体装置の構造を示す断面図である。この実施の形態においては、図9に示されるように、開孔(コンタクトホール)4の下部5において、等方性エッティングによりエッティング停止膜(SiN膜)8が除去され、開孔下部5が拡大されていることである。その他の構成部分は実施の形態8(図8)と同様であるから、説明は省略する。

【0049】この構造は、実施の形態8の構造から、さらにエッティング停止膜(SiN膜)8を等方にエッティングし、下部のコンタクトホール5を横方向に広げた構造である。エッティング停止膜(SiN8膜)の除去された分だけ開孔下部5の面積が広がり、コンタクトの抵抗が下がり、電気特性が向上する。この実施の形態の構造は、複数の下地の配線6cの周囲あるいは上方にそれぞれエッティング停止膜(SiN膜)8を形成し、エッティング停止膜(SiN膜)8の間隙あるいは四部にコンタクトを形成するときに特に効果を發揮する。

【0050】実施の形態10、図10は、この発明の実施の形態10の半導体装置の構造を示す断面図である。図10において、9は下地の配線6cの上のシリコン酸化膜7を覆うとともに、相隣る配線6cの間で半導体基板1の表面を覆うように形成された薄いシリコン酸化膜、8は酸化膜9を覆うように形成されたエッティング停止膜(SiN膜)である。その他の構成部分は実施の形態8(図8)と同様であるから、説明を省略する。この実施の形態では、エッティング停膜8の下に薄い酸化膜9を置いている点が実施の形態8とは異なっている。

【0051】この実施の形態では、開孔(コンタクトホール)4の形成でエッティング停止膜(SiN膜)8を異方性エッティングにより除去するときに、酸化膜9は削らないエッティング条件にする。これにより、エッティング停止膜(SiN膜)8のエッティングで基板1の上に薄い酸化膜9が残され、更にその薄い酸化膜9を選択比の高いエッティングで除去するため、基板1を削ることなく安定したコンタクト特性を得ることができる。その他の効果は、実施の形態8(図8)と同様であるから、説明を省略する。

【0052】実施の形態11、図11は、この発明の実施の形態11の半導体装置の構造を示す断面図である。この実施の形態においては、図11に示されるように、開孔(コンタクトホール)4の下部5において、エッ

50

15

ング停止膜(SiN膜)8が除去され、開孔下部5が径方向に拡大されている。その他の構成部分は実施の形態10(図10)と同様であるから、説明は省略する。この構造は、実施の形態10の構造から、さらにエッチング停止膜8を等方的にエッチングし、開孔下部5を横方向に広げた構造である。また、別な見方をすれば、この構造は、実施の形態9(図9)で、エッチング停止膜8の下に薄い酸化膜9を置いたものである。

【0053】このような構造にすれば、実施の形態10と同様に、基板1を削ることなく安定したコンタクト特性を得ることができる。また、実施の形態9と同様に、エッチング停止膜8の除去された分だけコンタクトの面積が広がり、抵抗が下がり、電気特性が向上する。その他の効果は、実施の形態9、10と同様であるから、説明を省略する。

【0054】実施の形態12、図12は、この発明の実施の形態12の半導体装置の構造を示す断面図である。図12において、8はシリコン酸化膜7の側壁のみを覆うSiN膜によるエッチング停止膜である。実施の形態9(図9)では、シリコン酸化膜7の全面をエッチング停止膜8が覆っているのに対し、この点が相違する。つまり、この実施の形態は、下地の配線6cの側壁のみをエッチング停止膜(SiN膜)で被う型のセルフアラインコンタクト方式の構造に関するものである。この実施の形態では、開孔(コンタクトホール)4の下部5の周囲のエッチング停止膜8が除去されて、開孔下部5が径方向に拡大された構造になっている。その他の構成部分は、実施の形態9(図9)と同様であるから、説明を省略する。このようにすれば、開孔下部5の位置で、エッチング停止膜8が除去された分だけコンタクトの面積が広がり、抵抗が下がり、電気特性が向上する。その他の効果は、実施の形態9(図9)と同様であるから、説明を省略する。

【0055】実施の形態13、図13は、この発明の実施の形態13の半導体装置の構造を示す断面図である。この実施の形態では、図13に示されるように、下地の配線6cの上に直接にSiNによるエッチング停止膜8が施されている。実施の形態8(図8)では、下地の配線6cをシリコン酸化膜7で覆った上に、エッチング停止膜8が施されているのに対し、この点が相違する。つまり、この実施の形態は、下地の配線6cの周りをエッチング停止膜(SiN膜)8で直接に被う型のセルフアラインコンタクト方式に係わるものである。この実施の形態においては、図13に示されるように、開孔4の下部5において、下部のシリコン酸化膜2がエッチング除去されている。しかし、エッチング停止膜8はエッチングされていない。その他の構成部分は、実施の形態8(図8)と同様であるから、説明は省略する。

【0056】このような構造にすれば、エッチング停止膜8の間の狭い間隙にコンタクトホールを形成する場合

10

20

20

30

30

40

40

50

16

でも、その間隙をエッチングレートの大きい酸化膜2で埋めているので、狭い間隙でもエッチングストップは起らざるコンタクトホールが形成できる。つまり、高アスペクト比のコンタクトを確実に形成している。また、エッチング停止膜8により、下地の配線6cとコンタクトとの短絡を防止できる。その他の効果については、実施の形態8と同様であるから、説明を省略する。

【0057】実施の形態14、図14は、この発明の実施の形態14の半導体装置の構造を示す断面図である。この実施の形態は、実施の形態13と同様に、下地の配線の周りをエッチング停止膜(SiN膜)で直接に被う型のセルフアラインコンタクト方式に係わるものである。この実施の形態においては、図14に示されるように、開孔(コンタクトホール)4の下部5において、シリコン酸化膜2が除去され、開孔下部5が径方向に拡大されている。その他の構成部分は実施の形態13(図13)と同様であるから、説明は省略する。

【0058】この構造は、実施の形態13の構造から、さらに開孔4の下部5において酸化膜2を等方的にエッチングし、開孔下部5を横方向に広げた構造である。下部の酸化膜2が除去された分だけコンタクトの面積が広がり、抵抗が下がり、電気特性が向上する。その他の効果は、実施の形態13と同様であるから、説明を省略する。

【0059】実施の形態15、図15は、この発明の実施の形態15の半導体装置の製造方法を示す各工程の断面図である。以下、図15を参照して、この実施の形態の半導体装置の製造方法を説明する。先ず、図15

(a)に示すように、シリコン半導体基板1に、BやPの不純物濃度が相対的に高い所定の濃度にドープされたシリコン酸化膜2を形成する。次に、図15(b)に示すように、酸化膜2の上に、BやPの不純物濃度が相対的に低い別の所定の濃度にドープされたシリコン酸化膜3を形成する。酸化膜3の濃度は、酸化膜2の濃度より低く設定し、あるいは全く不純物がドープされないようにする。酸化膜2と3で、層間絶縁膜を構成する。

【0060】次に、図15(c)に示すように、酸化膜3の上にレジスト10を塗布し、このレジスト10に開孔10aを設け、この開孔10aから酸化膜3及び2を異方性エッチングして開孔4を形成する。5は、開孔4の下部である。このように形成すると、不純物濃度の相対的に高い下層の酸化膜2は、エッチングレートが高いので、下層であっても十分にエッチされて開孔4が形成される。

【0061】次に、図15(d)に示すように、BやPの不純物濃度によってシリコン酸化膜のエッチングレートの差の出る処理薬液、例えばフッ酸のような処理薬液により等方性エッチングを行い、開孔4をエッチングする。この場合、下層の酸化膜2のエッチングレートが高いために、特に開孔下部5が水平方向に広がる。その

17

後、このように形成した開孔4にコンタクトを形成する。

【0062】次に、このようなオーバーハングをした形状の開孔(コンタクトホール)4に段切れをすることなくコンタクトを形成する方法について説明する。先ず、一つの方法は、IEDM1988(International Electron Device Meeting)(pp.592-595)に開示されている方法である。この方法では、開孔4に、CVD法にてポリシリコンあるいはTi, W等のメタルを堆積する。CVD法による膜の形成は、被覆性にすぐれしており、小さな隙間、例えば幅が約0.05μmの微少な隙間にも膜が形成される。このCVD法により、この実施の形態の開孔4にコンタクトを形成した場合、開孔4が拡大した下部5で空隙(void)が生じる可能性もあるが、段切れを起こすことなくコンタクトを形成することができる。

【0063】次に、他の方法は、IEDM1996(pp.665-668)に開示されている方法である。これは、非等方的な選択的エビ成長によるSi膜の形成である。この方法では、anisotropical selective epitaxial silicon growth法を用いる。これは、シリコン基板表面の露出部一すなわちコンタクト部一のみにシリコン膜を生成しコンタクトを形成する方法である。この方法を用いると開孔4の中に空隙(void)のない埋め込み膜を生成し、コンタクトを形成することができる。以上のような製造方法により、実施の形態1(図1)で説明した構造の半導体装置が得られる。

【0064】このような製造方法によれば、ホールを開孔する層間絶縁膜の底部にエッチングレートの早い酸化膜2を敷くので、RIE-Lagの起こりやすいコンタクトホール底部に、そこまでの層間絶縁膜よりもエッチングレートの早い酸化膜2があるためエッチングが進み、エッチングストップが起こらない。従って、高アスペクト比のコンタクトホールを確実に開孔し、この開孔歩留まりを上げることができる。また、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。

【0065】実施の形態16、図16は、この発明の実施の形態16の半導体装置の製造方法を示す各工程の断面図である。以下、図16を参照して、この実施の形態の半導体装置の製造方法を説明する。先ず、図16(a)に示すように、シリコン半導体基板1に、BやPの不純物濃度が相対的に最も高い濃度にドープされた厚さの薄いシリコン酸化膜2aを形成する。次に、図16(b)に示すように、酸化膜2aの上に、BやPの不純物濃度が相対的にその次に高い濃度にドープされた薄いシリコン酸化膜2bを形成する。

【0066】次に、図16(c)に示すように、酸化膜2bの上に、BやPの不純物濃度が相対的にさらにその次に高い濃度にドープされた薄いシリコン酸化膜2cを形成する。すなわち、酸化膜2a, 2b, 2cの濃度

18

は、酸化膜2aが最も高く、酸化膜2bが2番目に高く、酸化膜2cが3番目に高くなるように設定する。なお、多層構造の酸化膜2a, 2b及び2cで、下層の酸化膜2を構成している。

【0067】次に、図16(d)に示すように、酸化膜2cの上に、BやPの不純物濃度が相対的に低い濃度にドープされた厚いシリコン酸化膜3を形成する。酸化膜3の濃度は、酸化膜2cの濃度より低く設定し、あるいは全く不純物がドープされないようにする。酸化膜2と3で、層間絶縁膜を構成する。次に、図16(e)に示すように、酸化膜3の上にレジスト10を塗布し、このレジスト10に開孔10aを設け、この開孔10aから酸化膜3及び2を異方性エッチングして開孔4を形成する。5は、開孔4の下部である。このように形成すると、不純物濃度の相対的に高い下層の酸化膜2は、エッチングレートが大きいので、下層であっても十分にエッチングされた下部5を含む開孔4が形成される。

【0068】次に、図16(f)に示すように、BやPの不純物濃度によって酸化膜のエッチングレートの差の出る処理薬液、例えばフッ酸のような処理薬液により等方性エッチングを行い、開孔4をエッチングする。この場合、下層の酸化膜2のエッチングレートが大きいために、特に開孔4の下部5が水平方向に広がる。また、下層の酸化膜2が、エッチングレートの異なる多層で構成され、基板1に近いほど不純物濃度が高く、エッチングレートが高いので、拡大された開孔4の下部5は、断面が階段状で八の字状に、下側が大きく形成される。その後、このように形成した開孔4にコンタクトを形成する。以上のような製造方法により、実施の形態2(図2)で説明した構造の半導体装置が得られる。

【0069】このような製造方法によれば、ホールを開孔する層間絶縁膜の底部に敷く酸化膜2として、BやPの濃度の高い膜から低い膜へと順次積み上げて、上方の厚い層間膜3としては、下部の酸化膜2より更に濃度の低い酸化膜か、もしくはノンドープの酸化膜を積む。このように、ホールを開孔する層間絶縁膜の底部に行くほどエッチングレートの早い膜を敷くので、RIE-Lagの起こりやすいコンタクトホール底部に、そこまでの層間膜よりもエッチングレートの早い膜があるためエッチングが進み、エッチングストップが起こらない。従って、高アスペクト比のコンタクトを確実に開孔し、この開孔歩留まりを上げることができる。また、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。

【0070】実施の形態17、図17は、この発明の実施の形態17の半導体装置の製造方法を示す各工程の断面図である。以下、図17を参照して、この実施の形態の半導体装置の製造方法を説明する。先ず、図17(a)に示すように、シリコン半導体基板1に、BやPの不純物濃度が基板1に近い方から基板1から離れるに

19

従って連続的に低くなるようにドープされたシリコン酸化膜2を形成する。次に、図17(b)に示すように、酸化膜2の上に、BやPの不純物濃度が相対的に低い濃度にドープされた厚いシリコン酸化膜3を形成する。酸化膜3の濃度は、酸化膜2の濃度より低く設定し、あるいは全く不純物がドープされないようにする。酸化膜2と3で、層間絶縁膜を構成する。

【0071】次に、図17(c)に示すように、酸化膜3の上にレジスト10を塗布し、このレジスト10に開孔10aを設け、この開孔10aから酸化膜3及び2を異方性エッチングして開孔4を形成する。5は、開孔4の下部である。このように形成すると、不純物濃度の相対的に高い下層の酸化膜2は、エッチングレートが大きいので、下層であっても十分にエッチされた下部5を含む開孔4が形成される。

【0072】次に、図17(d)に示すように、BやPの不純物濃度によって酸化膜のエッチングレートの差の出る処理薬液、例えばフッ酸のような処理薬液により等方性エッチングを行い、開孔4をエッチングする。この場合、下層の酸化膜2のエッチングレートが大きいために、開孔4が特に下部5で水平方向に広がる。また、下層の酸化膜2は、その上部から下部に行くほど不純物濃度が連続的に高くなるように形成されているので、基板1に近い下部ほど横に広がる度合が大きく、拡大された開孔下部5は、断面がなめらかな八の字状の形状になる。その後、このように形成した開孔4にコンタクトを形成する。以上のような製造方法により、実施の形態3(図3)で説明した構造の半導体装置が得られる。

【0073】このような製造方法によれば、ホールを開孔する層間絶縁膜の底部に敷く酸化膜2として、酸化膜2を積むときの不純物の濃度を変化させながら積み、膜中の濃度が下部が最も高く上に行くほど順次濃度が下がるよう、連続的に分布するように形成する。このように、ホールを開孔する層間絶縁膜の底部に行くほどエッチングレートが早くなるので、R I E-L a gの起こりやすいコンタクトホール底部に、そこまでの層間絶縁膜よりもエッチングレートの早い膜があるためエッチングが進み、エッチングストップが起こらない。従って、高アスペクト比のコンタクトを確実に開孔し、この開孔歩留まりを上げることができる。また、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。

【0074】実施の形態18、図18は、この発明の実施の形態18の半導体装置の製造方法を示す各工程の断面図である。以下、図18を参照して、この実施の形態の半導体装置の製造方法を説明する。先ず、図18(a)～図18(d)の工程は、実施の形態16の図16(a)～図16(d)で説明した工程と同様であるから、説明を省略する。ただし、図16(d)に示した厚い酸化膜3には、図18では、薄い酸化膜3aが対応し

20

ている。次に、図18(e)に示すように、酸化膜3aの上に複数の導電部あるいは配線6aを形成する。

【0075】次に、図18(f)に示すように、酸化膜3a及び配線6aの上に厚いシリコン酸化膜3bを形成する。酸化膜3aと3bとは、通常同じ不純物濃度の膜とする。酸化膜3aと3bとで、酸化膜3を形成している。配線6aは、酸化膜3の中に埋め込まれた形になる。次に、図18(g)に示すように、酸化膜3の上にレジスト10を塗布し、このレジスト10に開孔10aを設け、この開孔10aから酸化膜3及び2を異方性エッチングして、配線6aの間を通る開孔4を形成する。5は、開孔4の下部である。

【0076】次に、図18(h)の工程は、実施の形態16の図16(f)の工程と同様であるから、説明を省略するその後、このように形成した開孔4にコンタクトを形成する。以上のような製造方法により、実施の形態6(図6)で説明した構造の半導体装置が得られる。

【0077】このような製造方法によれば、層間絶縁膜の中に配置された複数の配線は、相対的にエッチングレートの低い酸化膜の中に形成されているので、これらの配線の間隔が狭くても、その間を縫って、これらの配線に接触することなく、開孔4を形成し、そこにコンタクトを形成することができる。その他、この実施の形態において、高アスペクト比の開孔(コンタクトホール)を確実に開孔できる効果については、実施の形態16(図16)で述べたことと同様であるから、説明を省略する。なお、この実施の形態は、層間絶縁膜の中の配線6aをピット線としたDRAMの製造方法に適用して効果が大である。

【0078】なお、以上の工程のうち、図18(a)～図18(c)で示した多層構造の酸化膜2の形成工程を、実施の形態15の図15(a)で示したような単層の酸化膜2の形成工程に置き換えると、実施の形態5(図5)で説明した構造の半導体装置が得られる。さらに、以上の工程のうち、図18(d)で示した薄い酸化膜3aの形成工程をスキップすると、実施の形態4(図4)で説明した構造の半導体装置が得られる。

【0079】実施の形態19、図19は、この発明の実施の形態19の半導体装置の製造方法を示す各工程の断面図である。以下、図19を参照して、この実施の形態の半導体装置の製造方法を説明する。先ず、図19(a)に示すように、シリコン半導体基板1に、下地の配線6cを形成し、これをノンドープのシリコン酸化膜7で覆う。次に、図19(b)に示すように、酸化膜7を覆うように半導体基板1の上に、薄いノンドープのシリコン酸化膜9を形成する。次に、図19(c)に示すように、酸化膜9の上にSiNによるエッチング停止膜8を形成する。

【0080】次に、図19(d)に示すように、エッチング停止膜8の上に、BあるいはPなどの不純物濃度が

21

相対的に高いシリコン酸化膜2を形成する。次に、図19(e)に示すように、酸化膜2の上に、BあるいはPなどの不純物濃度が相対的に低いか、或いは全く不純物をドープしていないシリコン酸化膜3を形成する。酸化膜2と3で、層間絶縁膜を構成する。次に、図19(f)に示すように、酸化膜3の上にレジスト10を塗布し、このレジスト10に開孔10aを設け、この開孔10aから異方性ドライエッチングにより酸化膜3及び2に開孔4を形成する。この開孔4は、隣合う下地の配線6cのエッティング停止膜8の間隙に形成する。

【0081】次に、図19(g)に示すように、窒化膜の異方性ドライエッチングにより、開孔4の底部のエッティング停止膜(SiN膜)8をエッティング除去する。次に、図19(h)に示すように、酸化膜の異方性ドライエッティングにより開孔4の底部の薄い酸化膜9をエッティング除去する。次に、図19(i)に示すように、窒化膜の等方性エッティングにより、開孔4の下部5の周りのエッティング停止膜(SiN膜)8をエッティング除去し、開孔下部5を水平方向に拡大する。次に、図19(j)に示すように、レジスト10を除去する。

【0082】なお、以上の工程のうち、図19(h)と図19(i)の工程の順序を逆にしてもよい。すなわち、図19(g)の工程で窒化膜の異方性ドライエッティングで、開孔4の底部の窒化膜を除いた後、窒化膜の等方性エッティングにより開孔4を横に広げる。このとき、薄い酸化膜9を削らないエッティング条件にしておく。その後、酸化膜の異方性ドライエッティングにより開孔4の底部の薄い酸化膜9を除去する。このようにすれば、SiN膜8のエッティングで基板1の上に酸化膜9が残され、更にその薄い酸化膜9を選択比の高いエッティングで除去するため、基板1を削ることなく安定したコンタクト特性を得ることができる。

【0083】以上のような製造方法により、実施の形態10(図10)及び実施の形態11(図11)で説明した構造の半導体装置が得られる。また、以上のような製造方法で、図19(b)で示した薄い酸化膜9を形成する工程を省けば、実施の形態8(図8)及び実施の形態9(図9)で説明した構造の半導体装置が得られる。また、以上のような製造方法で、薄い酸化膜9を形成する工程を省き、さらに図19(c)で示したようなエッティング停止膜8を酸化膜7の上の全面に形成する代わりに、エッティング停止膜8を酸化膜7の側面にのみ形成するようすれば、実施の形態12(図12)で説明した構造の半導体装置が得られる。さらに、以上のような製造方法で、図19(a)～図19(b)に示した酸化膜7と薄い酸化膜9を形成する工程を省けば、実施の形態13(図13)及び実施の形態14(図14)で説明した構造の半導体装置が得られる。

【0084】このような製造方法によれば、隣合う下地の配線6cのエッティング停止膜8の間隙で、ホールを開

22

孔する層間絶縁膜の底部にエッティングレートの早い酸化膜2を數くので、RIE-Lagの起こりやすいコンタクトホール底部に、そこまでetching stopが起こらない。従って、下地の配線の間隙に、高アスペクト比のコンタクトホールを確実に開孔し、この開孔歩留まりを上げることができる。また、コンタクト底面の接触面積を広げ、コンタクトの抵抗を低減することができるので、コンタクトの電気特性が向上する。

【0085】また、下地の配線6cは、下部の酸化膜2とは異なる他の層で覆われているので、下地の配線6cとコンタクトとの短絡を防ぐことができる。以上説明したように、この実施の形態の製造方法は、複数の下地配線6cの周囲あるいは上方にそれぞれエッティング停止膜(SiN膜)8を形成し、エッティング停止膜(SiN膜)8の間隙あるいは四部にコンタクトを形成するときに特に効果がある。なお、この実施の形態は、下地の配線6cをワード線としたDRAMの製造方法に適用して効果が大である。

【0086】以上説明したそれぞれの実施の形態では、20シリコンの半導体基板1にコンタクトをとる場合について説明したが、半導体基板1はシリコンに限らず他の材料であっても、その上に形成される層間絶縁膜を適当に選択して、同様に適用できる。また、以上のそれぞれの実施の形態では、半導体基板1にコンタクトをとる構造について説明したが、これは半導体基板に限らず、半導体装置の中の導電層などに対するコンタクトであっても同様に適用できる。これらのコンタクトが取られるべき層を総称して、本明細書では半導体下地層と称する。また、以上のそれぞれの実施の形態において、半導体下地層の近傍で径方向に拡大した開孔(コンタクトホール)にコンタクトを形成しているが、このようなオーバーハングをした形状の開孔に段切れをすることなくコンタクトを形成する方法については、実施の形態15で説明した内容が、他の実施の形態にも適用できるものである。

【0087】

【発明の効果】以上説明したように、この発明によれば、層間のコンタクトを有する半導体装置において、高アスペクト比のコンタクトホールを確実に開孔し、コンタクト底面の接触面積を広げた半導体装置が得られる。また、これによりコンタクトの抵抗を低減し電気特性を向上することができる。また、層間の絶縁膜の中に配線を形成したものにおいて、配線と短絡することなく上記のようなコンタクトを形成した半導体装置が得られる。また、半導体下地層に配線を形成したものにおいて、配線の間の間に高アスペクト比のコンタクトホールを確実に開孔しコンタクトを形成した半導体装置が得られる。さらに、このような半導体装置を製造する製造方法が得られ、高アスペクト比のコンタクトを確実に開孔し、この開孔歩留まりを上げることができる。

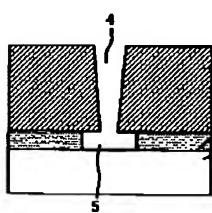
【図面の簡単な説明】

- 【図1】 本発明の実施の形態1の半導体装置を示す断面図。
- 【図2】 本発明の実施の形態2の半導体装置を示す断面図。
- 【図3】 本発明の実施の形態3の半導体装置を示す断面図。
- 【図4】 本発明の実施の形態4の半導体装置を示す断面図。
- 【図5】 本発明の実施の形態5の半導体装置を示す断面図。
- 【図6】 本発明の実施の形態6の半導体装置を示す断面図。
- 【図7】 本発明の実施の形態7の半導体装置を示す断面図。
- 【図8】 本発明の実施の形態8の半導体装置を示す断面図。
- 【図9】 本発明の実施の形態9の半導体装置を示す断面図。
- 【図10】 本発明の実施の形態10の半導体装置を示す断面図。
- 【図11】 本発明の実施の形態11の半導体装置を示す断面図。
- 【図12】 本発明の実施の形態12の半導体装置を示す断面図。
- 【図13】 本発明の実施の形態13の半導体装置を示す断面図。
- 【図14】 本発明の実施の形態14の半導体装置を示す断面図。

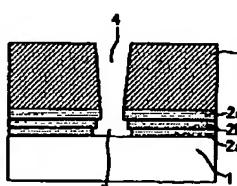
【図面の簡単な説明】

- 【図15】 本発明の実施の形態15の半導体装置の製造方法を示す断面図。
- 【図16】 本発明の実施の形態16の半導体装置の製造方法を示す断面図。
- 【図17】 本発明の実施の形態17の半導体装置の製造方法を示す断面図。
- 【図18】 本発明の実施の形態18の半導体装置の製造方法を示す断面図。
- 【図19】 本発明の実施の形態19の半導体装置の製造方法を示す断面図。
- 【図20】 DRAMメモリセルの平面図。
- 【図21】 従来のDRAMメモリセルの断面構造図。
- 【図22】 従来のセルフアラインコンタクトの例を示す断面図。
- 【図23】 従来の高アスペクト比のコンタクトの問題点を示す断面図。
- 【図24】 従来のセルフアラインコンタクトの問題点を示す断面図。
- 【符号の説明】
- 1 半導体下地層(シリコン半導体基板)、 2, 2a, 2b, 2c 層間絶縁膜(シリコン酸化膜)、 3, 3a, 3b 層間絶縁膜(シリコン酸化膜)、 4 開孔(コンタクトホール)、 5 開孔下部、 6a 上部の導電部(配線)、 6b 下部の導電部(配線)、 6c 導電部(配線)、 7 シリコン酸化膜、 8 エッチング停止膜(SiN膜)、 9 シリコン酸化膜、 10 レジスト。

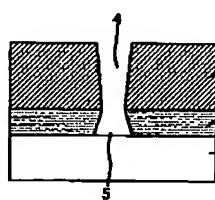
【図1】



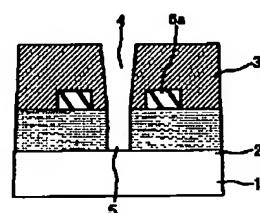
【図2】



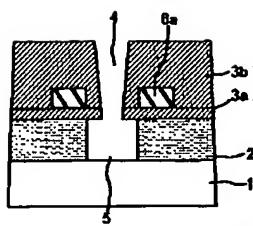
【図3】



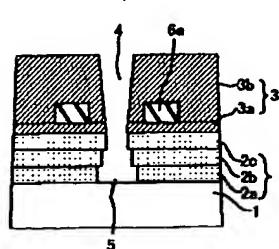
【図4】



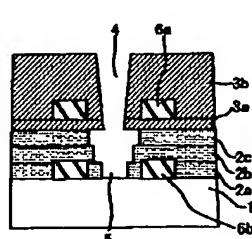
【図5】



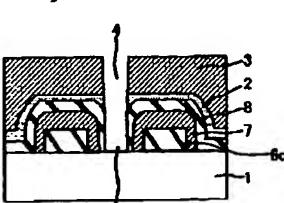
【図6】



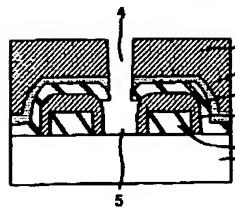
【図7】



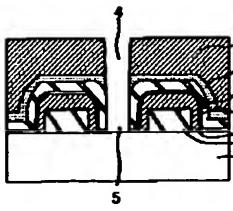
【図8】



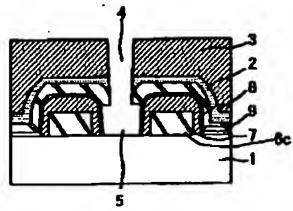
【図9】



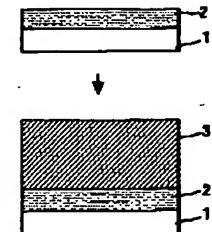
【図10】



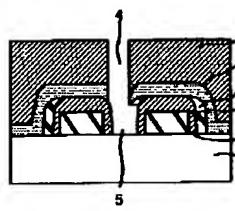
【図11】



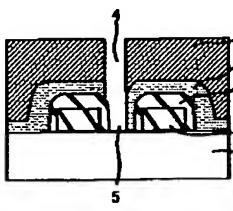
【図17】



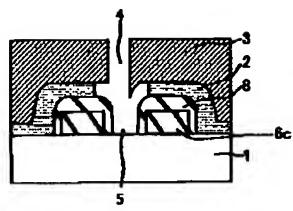
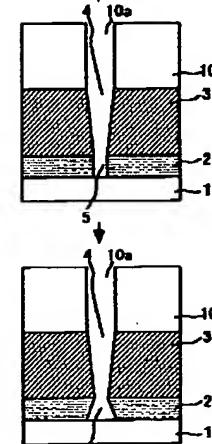
【図12】



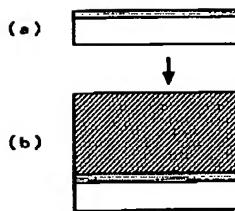
【図13】



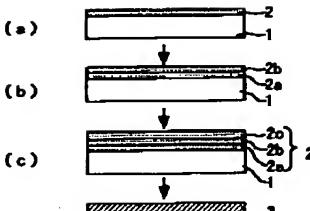
【図14】

(a)
(b)

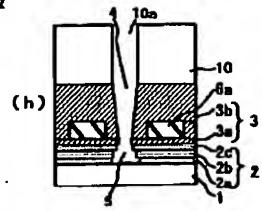
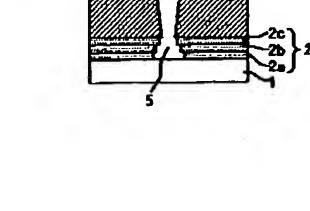
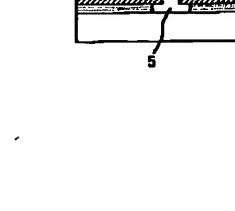
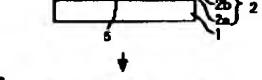
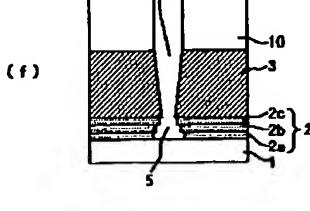
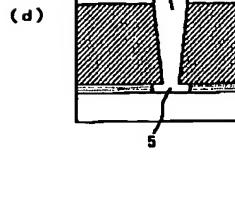
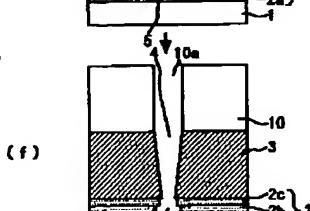
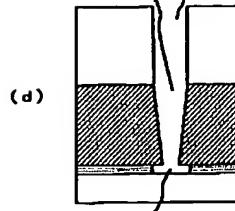
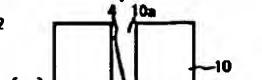
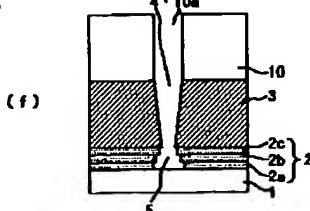
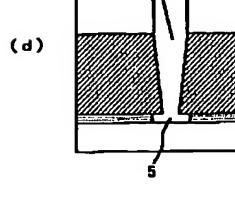
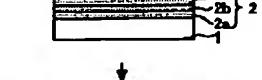
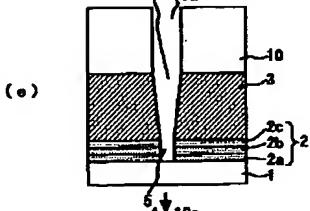
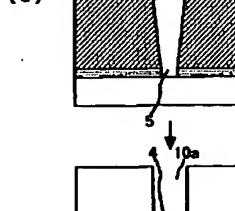
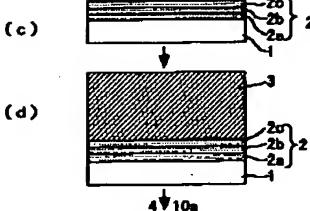
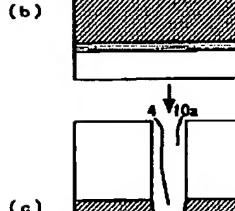
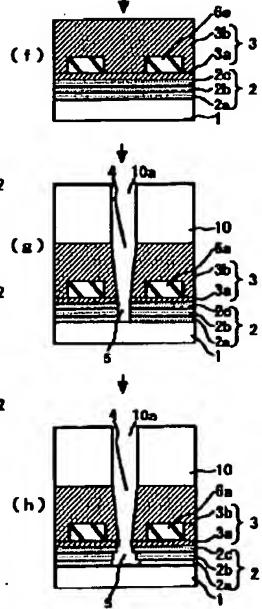
【図15】



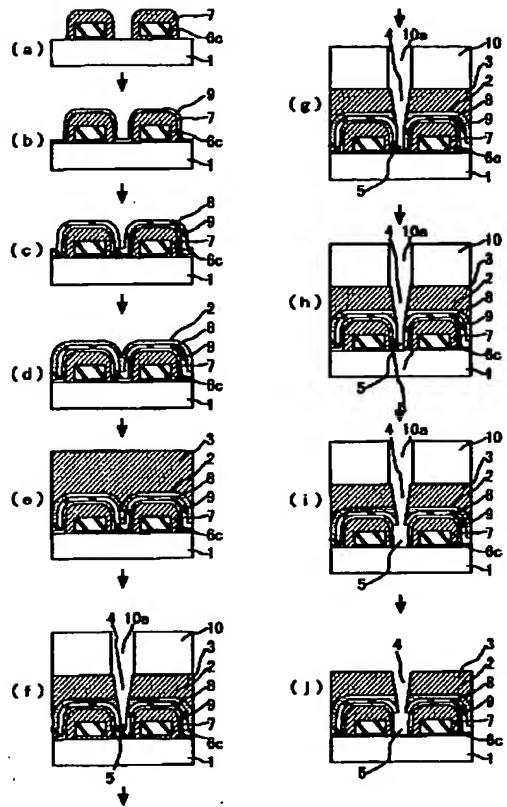
【図16】



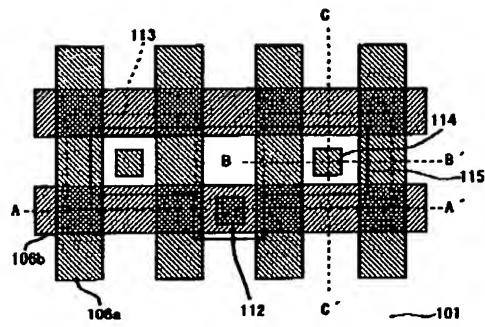
【図18】



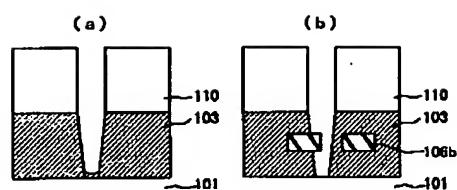
【図19】



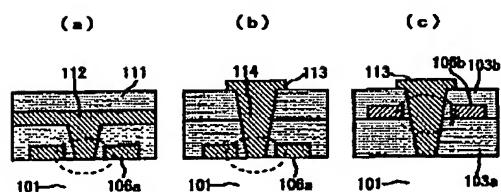
【図20】



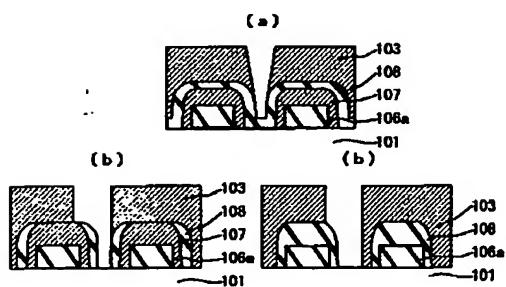
【図23】



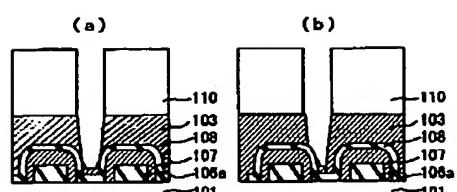
【図21】



【図22】



【図24】



DERWENT-ACC-NO: 1998-522398

DERWENT-WEEK: 200435

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device e.g. DRAM - has
contact formed in via of diameter increasing towards
semiconductor base layer

INVENTOR: EIMORI, T

PATENT-ASSIGNEE: MITSUBISHI DENKI KK[MITQ] , MITSUBISHI
ELECTRIC CORP[MITQ],
EIMORI T[EIMOI]

PRIORITY-DATA: 1997JP-0076200 (March 27, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
US 6740584 B2		May 25, 2004
000	H01L 021/4763	N/A
DE 19750919 A1		October 1, 1998
026		N/A
JP 10270555 A		October 9, 1998
015	H01L 023/522	N/A
CN 1195192 A		October 7, 1998
000	H01L 021/768	N/A
KR 98079483 A		November 25, 1998
000	H01L 023/52	N/A
KR 266762 B1		October 2, 2000
000	H01L 021/306	N/A
US 20020056913 A1		May 16, 2002
000	H01L 021/306	N/A
US 20020068443 A1		June 6, 2002
000	H01L 029/40	N/A
US 20020190383 A1		December 19, 2002
000	H01L 021/4763	N/A
TW 554474 A		September 21, 2003
000		N/A

H01L 023/48

H01L 021/31

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
	APPL-DATE	
US 6740584B2 1997US-0935786 DE 19750919A1 1997DE-1050919 JP 10270555A 1997JP-0076200 CN 1195192A 1997CN-0126369 KR 98079483A 1997KR-0062336 KR 266762B1 1997KR-0062336 US20020056913A1 1997US-0935786 US20020068443A1 1997US-0935786 US20020068443A1 2002US-0043319 US20020190383A1 1997US-0935786 US20020190383A1 2002US-0043319 US20020190383A1 2002US-0212708 TW 554474A 1997TW-0116134	N/A September 23, 1997 N/A November 17, 1997 N/A March 27, 1997 N/A November 24, 1997 N/A November 24, 1997 N/A November 24, 1997 N/A September 23, 1997 Cont of September 23, 1997 N/A January 14, 2002 Cont of September 23, 1997 Div ex January 14, 2002 N/A August 7, 2002 N/A October 30, 1997	

INT-CL (IPC): H01L021/283, H01L021/306, H01L021/31,
H01L021/316,
H01L021/4763, H01L021/765, H01L021/768, H01L021/8242
, H01L023/48,
H01L023/52, H01L023/522, H01L027/108, H01L029/40

ABSTRACTED-PUB-NO: DE 19750919A

BASIC-ABSTRACT:

In a semiconductor device having a multilayer interlayer insulation layer (2,
3), which is formed on a semiconductor base layer (1) and which consists of layers of different etch rates, and a contact formed within

a via (4) in the multilayer interlayer insulation layer (2, 3) for contacting the semiconductor base layer (1), the diameter of the contact is increased in a section adjacent the base layer (1). Also claimed are similar semiconductor devices and a semiconductor device production process involving (a) forming, on the base layer, an interlayer insulation layer (2, 3) having a high etch rate section near the base layer and a low etch rate section remote from the base layer; (b) forming a via (4) through the interlayer insulation layer (2, 3) such that the via diameter increases in the direction towards the base layer (1); and (c) forming a contact in the via for connection to the base layer.

ADVANTAGE - The device (e.g. a DRAM) has contacts or contact sections formed in correct vias with a high aspect ratio and large bottom contact surface.

ABSTRACTED-PUB-NO: US20020056913A

EQUIVALENT-ABSTRACTS:

In a semiconductor device having a multilayer interlayer insulation layer (2, 3), which is formed on a semiconductor base layer (1) and which consists of layers of different etch rates, and a contact formed within a via (4) in the multilayer interlayer insulation layer (2, 3) for contacting the semiconductor base layer (1), the diameter of the contact is increased in a section adjacent the base layer (1). Also claimed are similar semiconductor devices and a semiconductor device production process involving (a) forming, on the base layer, an interlayer insulation layer (2, 3) having a high etch rate section near the base layer and a low etch rate section remote from the base layer; (b) forming a via (4) through the interlayer insulation layer

(2, 3) such that the via diameter increases in the direction towards the base layer (1); and (c) forming a contact in the via for connection to the base layer.

ADVANTAGE - The device (e.g. a DRAM) has contacts or contact sections formed in correct vias with a high aspect ratio and large bottom contact surface.

US20020068443A

In a semiconductor device having a multilayer interlayer insulation layer (2, 3), which is formed on a semiconductor base layer (1) and which consists of layers of different etch rates, and a contact formed within a via (4) in the multilayer interlayer insulation layer (2, 3) for contacting the semiconductor base layer (1), the diameter of the contact is increased in a section adjacent the base layer (1). Also claimed are similar semiconductor devices and a semiconductor device production process involving (a) forming, on the base layer, an interlayer insulation layer (2, 3) having a high etch rate section near the base layer and a low etch rate section remote from the base layer; (b) forming a via (4) through the interlayer insulation layer (2, 3) such that the via diameter increases in the direction towards the base layer (1); and (c) forming a contact in the via for connection to the base layer.

ADVANTAGE - The device (e.g. a DRAM) has contacts or contact sections formed in correct vias with a high aspect ratio and large bottom contact surface.

CHOSEN-DRAWING: Dwg.1/24

TITLE-TERMS: SEMICONDUCTOR DEVICE DRAM CONTACT FORMING
DIAMETER INCREASE
SEMICONDUCTOR BASE LAYER

DERWENT-CLASS: L03 U11 U13

CPI-CODES: L03-G04A; L04-C13;

EPI-CODES: U11-C05C; U11-C05D; U13-C04B1A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1998-156974

Non-CPI Secondary Accession Numbers: N1998-408097

PAT-NO: JP41027055A
DOCUMENT-IDENTIFIER: JP 10270555 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF
PUBN-DATE: October 9, 1998

INVENTOR-INFORMATION:
NAME
SAKAEMORI, TAKAHISA

ASSIGNEE-INFORMATION:
NAME COUNTRY
MITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP09076200

APPL-DATE: March 27, 1997

INT-CL (IPC): H01L021/768, H01L021/316 , H01L027/108 ,
H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To form the contact hole having the high aspect ratio securely in a semiconductor device.

SOLUTION: On a semiconductor substrate 1, an interlayer insulating film (SiO₂) 2 having the high impurity concentration and the high etching rate is formed at a part neighboring the substrate, and an interlayer insulating film 3, which has the low impurity concentration and the low etching rate at the part separated from the substrate, is formed. A contact hole 4 penetrating the insulating film between both layers is opened by

anisotropic etching. Then, a lower part 5 of the contact hole is expanded by isotropic etching, and the contact is formed.

COPYRIGHT: (C)1998,JPO